

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-308205

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

H04L 7/033  
H03K 5/1536  
H03L 7/08

(21)Application number : 10-111243

(71)Applicant : NEC RADIO EQUIPMENT ENG LTD

(22)Date of filing : 22.04.1998

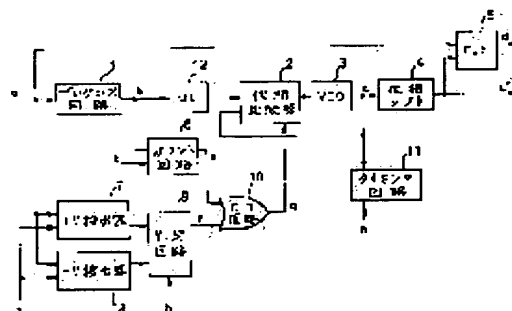
(72)Inventor : YAMAGUCHI HIROSHI

**(54) CLOCK SIGNAL EXTRACT CIRCUIT AND PCM SIGNAL DEMODULATION CIRCUIT USING THE SAME**

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a PCM signal demodulation circuit that extracts an accurate clock signal by excluding a useless zero cross timing detection pulse produced due to a noise and then demodulates accurate data.

**SOLUTION:** A zero cross point detection pulse (b) of a PCM signal (a) is fed to a PLL circuit to activate it. In this case, a +V detector 7, a -V detector 8 and a discrimination circuit 9 reference the width of a frequency before and after a zero cross point and a count circuit 6 references a generated time interval of the zero cross detection pulse and when at least either of the both does not satisfy an allowable value, an OR gate 10 outputs a reset pulse (g) to regard it that the zero cross point detection pulse (b) is based on a noise and to interrupt the loop of the PLL circuit.

**LEGAL STATUS**

[Date of request for examination]

22.04.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2972714

[Date of registration]

27.08.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-308205

(43)公開日 平成11年(1999)11月5日

(51)Int.Cl. <sup>6</sup>	識別記号	F I	
H 0 4 L	7/033	H 0 4 L	7/02 B
H 0 3 K	5/1536	H 0 3 K	5/153 C
H 0 3 L	7/08	H 0 3 L	7/08 G

審査請求 有 請求項の数 2 O L (全 7 頁)

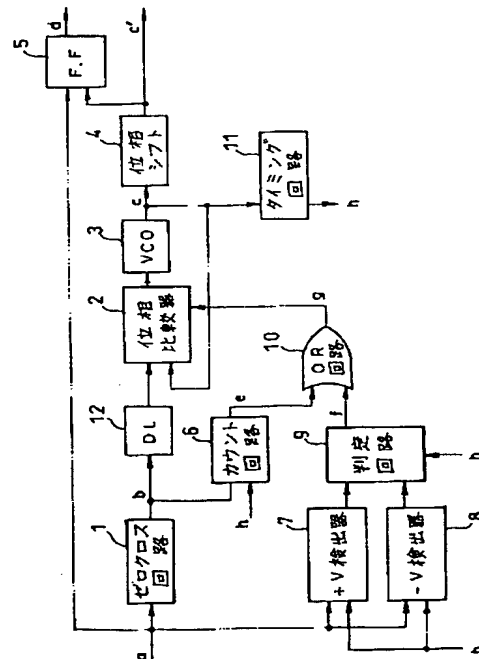
(21)出願番号	特願平10-111243	(71)出願人	390001498 日本電気電波機器エンジニアリング株式会社 埼玉県日高市原宿401
(22)出願日	平成10年(1998)4月22日	(72)発明者	山口 洋 東京都新宿区新宿5丁目15番5号 日本電気電波機器エンジニアリング株式会社内
		(74)代理人	弁理士 ▲柳▼川 信

(54)【発明の名称】 クロック信号抽出回路及びそれを用いたPCM信号復調回路

## (57)【要約】

【課題】 ノイズが原因で発生した無用なゼロクロスタイミング検出パルスを排除して正確なクロック信号の抽出が可能で、ひいては正確なデータの復調が可能なPCM信号復調回路を提供する。

【解決手段】 PCM信号aのゼロクロス点検出パルスbをPLL回路へ供給しこのPLL回路を動作させる。このとき、+V検出器7、-V検出回路8及び判定回路9でゼロクロス点の前後の振幅値を参照し、またカウント回路6でゼロクロス検出パルスの発生時間間隔を参照し、両者の少なくとも一方が許容値を満足しなければ、オアゲート10からリセットパルスgを出力することで、当該ゼロクロス点検出パルスbはノイズに基くものであると見なし、PLL回路をループ断とする。



## 【特許請求の範囲】

【請求項1】 入力PCM信号のゼロクロス点を検出してこの検出タイミングに同期した信号を生成するゼロクロス検出回路と、ゼロクロス検出回路の出力を入力とするPLL回路とを含み、前記入力PCM信号の基本周波数成分に同期したクロック信号を抽出するようにしたクロック信号抽出回路であって、

前記ゼロクロス点を挟む前後の所定点における前記入力PCM信号の各振幅の絶対値と設定閾値とを比較する振幅検出手段と、

前記ゼロクロス検出回路による互いに隣接するゼロクロス検出出力同士の間隔を検出する時間間隔検出手段と、

前記振幅検出手段により前記入力PCM信号の振幅の絶対値が前記設定閾値より小と検出された時、または前記時間間隔検出手段により前記ゼロクロス検出出力同士の間隔が所定時間間隔より小と検出された時、前記PLL回路のループを断とする制御手段と、を含むことを特徴とするクロック信号抽出回路。

【請求項2】 前記振幅検出手段は、前記PLL回路の出力を位相シフトして当該出力が前記前記ゼロクロス点を挟むパルスとなるよう制御する手段と、このパルスの立上がり及び立下りにおける前記入力PCM信号をサンプリングする手段と、これ等サンプリング出力の各絶対値と前記設定閾値とを各々比較する手段と、これ等比較結果により少なくとも一方が前記設定閾値より小のときに第一リセットパルスを生成する手段とを有することを特徴とする請求項1記載のクロック信号抽出回路。

【請求項3】 前記時間間隔検出手段は、前記ゼロクロス検出出力をトリガ入力とし前記所定時間間隔を時定数とするリトリガブルモノステーブルマルチバイブレータと、このモノステーブルマルチバイブレータ出力の存在期間前記ゼロクロス検出出力を通過せしめて第二リセットパルスとするゲート回路とを有することを特徴とする請求項1または2記載のクロック信号抽出回路。

【請求項4】 前記制御手段は、前記第一または第二リセットパルスを通過せしめるオアゲート回路を有し、このオアゲート回路の出力により前記PLL回路の断制御をなすようにしたことを特徴とする請求項2または3記載のクロック信号抽出回路。

【請求項5】 入力PCM信号のゼロクロス点を検出してこの検出タイミングに同期した信号を生成するゼロクロス検出回路と、ゼロクロス検出回路の出力を入力とし、前記入力PCM信号の基本周波数成分に同期したクロック信号を抽出するPLL回路と、このPLL回路による抽出クロック信号に基づき前記入力PCM信号を復調とする復調回路とを含むPCM信号復調回路であって、前記ゼロクロス点を挟む前後の所定点における前記入力PCM信号の各振幅の絶対値と設定閾値とを比較する振幅検出手段と、

前記ゼロクロス検出回路による互いに隣接するゼロクロス検出出力同士の間隔を検出する時間間隔検出手段と、

前記振幅検出手段により前記入力PCM信号の振幅の絶対値が前記設定閾値より小と検出された時、または前記時間間隔検出手段により前記ゼロクロス検出出力同士の間隔が所定時間間隔より小と検出された時、前記PLL回路のループを断とする制御手段と、を含むことを特徴とするPCM信号復調回路。

10 【請求項6】 前記振幅検出手段は、前記PLL回路の出力を位相シフトして当該出力が前記前記ゼロクロス点を挟むパルスとなるよう制御する手段と、このパルスの立上がり及び立下りにおける前記入力PCM信号をサンプリングする手段と、これ等サンプリング出力の各絶対値と前記設定閾値とを夫々比較する手段と、これ等比較結果により少なくとも一方が前記設定閾値より小のときに第一リセットパルスを生成する手段とを有することを特徴とする請求項5記載のPCM信号復調回路。

20 【請求項7】 前記時間間隔検出手段は、前記ゼロクロス検出出力をトリガ入力とし前記所定時間間隔を時定数とするリトリガブルモノステーブルマルチバイブレータと、このモノステーブルマルチバイブレータ出力の存在期間前記ゼロクロス検出出力を通過せしめて第二リセットパルスとするゲート回路とを有することを特徴とする請求項5または6記載のPCM信号復調回路。

30 【請求項8】 前記制御手段は、前記第一または第二リセットパルスを通過せしめるオアゲート回路を有し、このオアゲート回路の出力により前記PLL回路の断制御をなすようにしたことを特徴とする請求項6または7記載のPCM信号復調回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はクロック信号抽出回路及びそれを用いたPCM信号復調回路に関し、特に入力PCMビデオ信号から当該信号の基本周波数成分をPLL回路により抽出してPCM信号復調用クロック信号を再生するためのクロック信号抽出回路及びそれを用いたPCM信号復調回路に関するものである。

【0002】

40 【従来の技術】かかる従来のPLL（フェイズロックドループ）回路を使用したPCMビデオ信号の復調回路の例を図5に示している。図5を参照すると、入力PCMビデオ信号aはゼロクロス検出回路1に入力され、ゼロクロス点が検出されてゼロクロス検出パルスbが出力される。このゼロクロス検出パルスbは位相比較器2にてVCO（電圧制御発振器）3の出力cと周波數位相比較が行われ、この位相差に応じた制御電圧により当該VCO3が制御されるようになっている。これ等位相比較器2とVCO3とによりPLL回路が構成されている。

50 【0003】このPLL回路のVCO3による発振出力

cはPCMビデオ信号aをラッチするラッチFF（フリップフロップ）5のラッチタイミングパルスとして使用され、ラッチ出力が復調データdとなる。この場合、VCO3の発振出力cをそのままラッチタイミングパルスとして使用するのではなく、位相シフト回路4にてシフトされたシフトパルスc'を使用することで、ラッチを確実にしている。

【0004】すなわち、PCMビデオ信号のレベル遷移点近傍で当該信号をラッチすると、このレベル遷移点近傍のレベルは不安定であるので、正確なラッチが行われ

【0005】

【発明が解決しようとする課題】かかる図5に示した従来のPCMビデオ信号復調回路では、ゼロクロス回路1の出力であるゼロクロス検出パルスbを全て有効とみなして、後段のPLL回路へ供給するようになっている。そのため、ノイズが重畳して無効入力を多量に含む信号が受信された時、誤ってPLL回路が動作してしまい、結果的に抽出されたクロック信号cが乱れることになる。この抽出クロック信号cが乱れると、データの欠落や誤挿入が起り、正確なデータdの復調が行えなくなっている。

【0006】そこで、本発明はかかる従来技術の問題点を解消すべくなされたものであって、その目的とするところは、ノイズが原因で発生した無用なゼロクロスタイミング検出パルスを排除して正確なクロック信号の抽出が可能で、ひいては正確なデータの復調が可能なクロック信号抽出回路及びそれを用いたPCM信号復調回路を提供することである。

【0007】

【課題を解決するための手段】本発明によれば、入力PCM信号のゼロクロス点を検出してこの検出タイミングに同期した信号を生成するゼロクロス検出回路と、ゼロクロス検出回路の出力を入力とするPLL回路とを含み、前記入力PCM信号の基本周波数成分に同期したクロック信号を抽出するようにしたクロック信号抽出回路であって、前記ゼロクロス点を挟む前後の所定点における前記入力PCM信号の各振幅の絶対値と設定閾値とを比較する振幅検出手段と、前記ゼロクロス検出回路による互いに隣接するゼロクロス検出出力同士の時間間隔を検出する時間間隔検出手段と、前記振幅検出手段により前記入力PCM信号の振幅の絶対値が前記設定閾値より小と検出された時、または前記時間間隔検出手段により前記ゼロクロス検出出力同士の時間間隔が所定時間間隔より小と検出された時、前記PLL回路のループを断とする制御手段と、を含むことを特徴とするクロック信号抽出回路が得られる。

【0008】そして、前記振幅検出手段は、前記PLL

回路の出力を位相シフトして当該出力が前記前記ゼロクロス点を挟むパルスとなるよう制御する手段と、このパルスの立上がり及び立下りにおける前記入力PCM信号をサンプリングする手段と、これ等サンプリング出力の各絶対値と前記設定閾値とを夫々比較する手段と、これ等比較結果により少なくとも一方が前記設定閾値より小的时候に第一リセットパルスを生成する手段とを有することを特徴とする。

【0009】また、前記時間間隔検出手段は、前記ゼロクロス検出出力をトリガ入力とし前記所定時間間隔を時定数とするリトリガブルモノステーブルマルチバイブレータと、このモノステーブルマルチバイブレータ出力の存在期間前記ゼロクロス検出出力を通過せしめて第二リセットパルスとするゲート回路とを有することを特徴とする。

【0010】更に、前記制御手段は、前記第一または第二リセットパルスを通過せしめるオアゲート回路を有し、このオアゲート回路の出力により前記PLL回路の断制御をなすようにしたことを特徴とする。

【0011】本発明によれば、入力PCM信号のゼロクロス点を検出してこの検出タイミングに同期した信号を生成するゼロクロス検出回路と、ゼロクロス検出回路の出力を入力とし、前記入力PCM信号の基本周波数成分に同期したクロック信号を抽出するPLL回路と、このPLL回路による抽出クロック信号に基き前記入力PCM信号を復調とする復調回路とを含むPCM信号復調回路であって、前記ゼロクロス点を挟む前後の所定点における前記入力PCM信号の各振幅の絶対値と設定閾値とを比較する振幅検出手段と、前記ゼロクロス検出回路による互いに隣接するゼロクロス検出出力同士の時間間隔を検出する時間間隔検出手段と、前記振幅検出手段により前記入力PCM信号の振幅の絶対値が前記設定閾値より小と検出された時、または前記時間間隔検出手段により前記ゼロクロス検出出力同士の時間間隔が所定時間間隔より小と検出された時、前記PLL回路のループを断とする制御手段と、を含むことを特徴とするPCM信号復調回路が得られる。

【0012】そして、前記振幅検出手段は、前記PLL回路の出力を位相シフトして当該出力が前記前記ゼロクロス点を挟むパルスとなるよう制御する手段と、このパルスの立上がり及び立下りにおける前記入力PCM信号をサンプリングする手段と、これ等サンプリング出力の各絶対値と前記設定閾値とを夫々比較する手段と、これ等比較結果により少なくとも一方が前記設定閾値より小的时候に第一リセットパルスを生成する手段とを有することを特徴とする。

【0013】また、前記時間間隔検出手段は、前記ゼロクロス検出出力をトリガ入力とし前記所定時間間隔を時定数とするリトリガブルモノステーブルマルチバイブレータと、このモノステーブルマルチバイブレータ出力の

存在期間前記ゼロクロス検出出力を通過せしめて第二リセットパルスとするゲート回路とを有することを特徴とする。

【0014】更に、前記制御手段は、前記第一または第二リセットパルスを通過せしめるオアゲート回路を有し、このオアゲート回路の出力により前記PLL回路の断制御をなすようにしたことを特徴とする。

【0015】本発明の作用を述べる。入力PCM信号のゼロクロス点検出パルスをPLL回路へ供給してこのPLL回路を動作させるのであるが、このとき、ゼロクロス点の前後の振幅値と、ゼロクロス検出パルスの発生時間間隔とを参照して、両者の少なくとも一方が許容値を満足しなければ、当該ゼロクロス点検出パルスは、ノイズに基くものであると見なしてその場合にはPLL回路をループ断とするのである。

【0016】

【発明の実施の形態】以下に図面を参照しつつ本発明の実施例につき説明する。

【0017】図1は本発明の実施例を示すブロック図であり、図5と同等部分は同一符号により示されている。入力されるPCM信号aはゼロクロス回路1と振幅検出用の+V検出器7、-V検出器8及びFF5に入力される。ゼロクロス回路1の出力はカウント回路6へ供給されると共に、DL（ディレー回路）12を経て位相比較器2へも供給される。カウント回路6の出力eはオア（OR）回路10を経て位相比較器2へ出力（g）される。また、+V検出器7と-V検出器8との各出力は判定回路9へ入力されて振幅値の判定が行われ、この判定出力fはオア回路10を経て位相比較器2へ出力される。

【0018】また、位相比較器2とVCO3とはPLL回路を構成しており、VCO3の出力cは再び位相比較器2へループして戻り、同時にタイミング回路11の入力となる。このタイミング回路11からは振幅検出用の信号hが出力され、カウント回路6、+V検出器7、-V検出器8及び判定回路9へそれぞれ供給されている。VCO3の出力cは位相シフト回路4へも出力され、この出力c'がPCM信号aのラッチ用クロックとしてラッチFF5へ出力されて、復調データdがFF5より出力される。またこのクロックc'は抽出再生クロックとしても出力されている。

【0019】図2は図1の回路における振幅検出動作を説明するため各部信号の一例を示す波形図である。入力信号aは振幅検出用の+V検出器7と-V検出器8へ夫々入力される。+V検出器7は入力信号aの振幅の正電圧における検出回路であり、-V検出器8は入力信号aの振幅の負電圧における検出回路であり、+V検出器7はタイミング回路11からのタイミング信号の立上りタイミングT1で入力信号aの振幅をサンプリングし、-V検出器8はタイミング回路11からのタイミング信号

hの立下りタイミングT2で入力信号aの振幅をサンプリングする。

【0020】このタイミング信号hはVCO3の出力パルスcをシフトして、入力信号のゼロクロス点を中心に挟むように位相調整したパルスである。

【0021】判定回路9では、タイミングT1とT2でサンプルされた両検出器7、8のサンプリング値が、  
①T1の時+V以上で且つT2の時-V以下、または  
②T1の時-V以下で且つT2の時+V以上

のどちらかの条件を満たさない時は、リセットパルスfを発生する。

【0022】尚、DL回路12はこのリセットパルスの処理遅れ、すなわち、検出器7、8や判定回路9での処理遅れを補正する働きをするものであり、位相調整の機能をなすものである。

【0023】図3は図1の回路におけるゼロクロス検出信号の発生時間間隔検出動作を説明するための各部信号波形図である。図3を参照すると、入力されるPCM信号aはゼロクロス検出回路1に入力され、0V交点でパルスbを出力する。このパルスbはカウント回路6で短時間カウントされ、すぐあとに2回目のパルスが続く時（T3）は、リセットパルスeを発生する。

【0024】これらのリセットパルスeとfが発生すると、オア回路10を経由して位相比較器2の動作をリセットするようになっている。すると、この位相比較器2の出力を受けるVCO3もPLLの補正を行わずに次の補正動作まで待機状態となる。つまり、PLLのループを切った（ループ断）と同じ動作となる。即ちこのリセットパルスe、fは図3のT3の連続したパルスや図2に示した右側の2個の不正位置に対する誤動作を抑制する働きをするのである。従って、位相シフト回路4とFF5とから出力されるクロックc'とデータdとに悪影響なくPCM復調ができるようになるのである。

【0025】尚、カウント回路6の一例を図4（A）に示し、（B）にその動作波形を示している。カウント回路6はゼロクロス検出出力bをトリガ入力とするリトリガブルMMV（モノステーブルマルチバイブレータ）61と、このMMV出力iとゼロクロス検出出力bとを2入力とするアンドゲートと62とからなっている。このMMV61の時定数が、隣接する2個のゼロクロス検出出力bの時間間隔を検出するための閾値を決定するためのものとなることは明白である。

【0026】

【発明の効果】第1の効果は、短時間に信号の立上りを2個以上検出した場合や、振幅であるエンベロープ検出することにより、無効入力を判別し、ノイズが原因で発生した信号を抑制することが可能となることである。

【0027】第2の効果は、無効入力を判別しリセットパルスを発生できることから、PLLループに対する影響を抑えるため、これを使った外部システムに安定した

クロックを供給でき、受信器等の感度を向上することができることである。

【図面の簡単な説明】

【図1】本発明の実施例のブロック図である。

【図2】図1のブロックの振幅検出動作を示す各部信号波形例である。

【図3】図1のブロックのゼロクロス検出信号の時間間隔検出動作を示す各部信号波形例である。

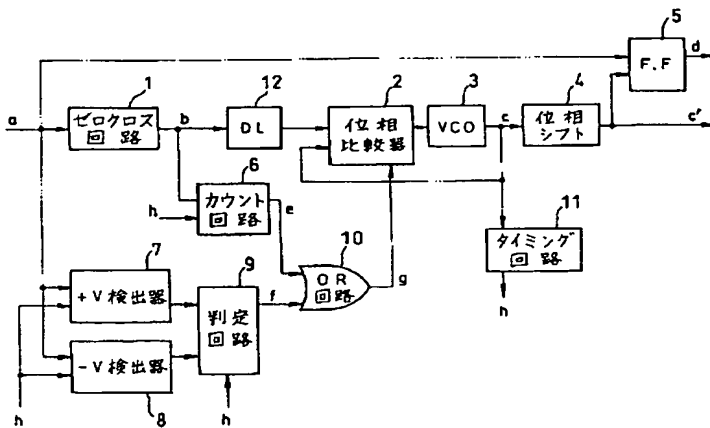
【図4】図1のブロックのカウント回路6の例を示す図である。

【図5】従来のPCM信号復調回路の例を示す図である。

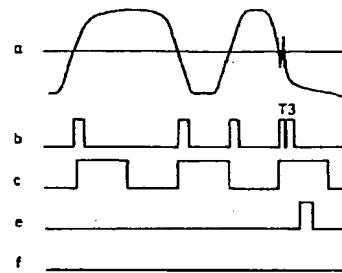
\*【符号の説明】

- 1 ゼロクロス回路
- 2 位相比較器
- 3 VCO
- 4 位相シフト回路
- 5 FF
- 6 カウント回路
- 7 +V検出器
- 8 -V検出器
- 9 判定回路
- 10 オアゲート回路
- 11 タイミング回路

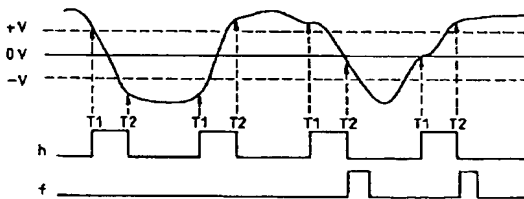
【図1】



【図3】

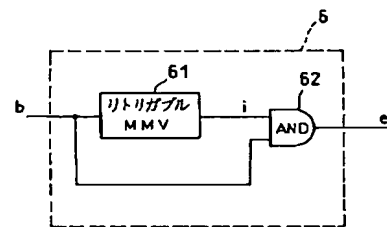


【図2】

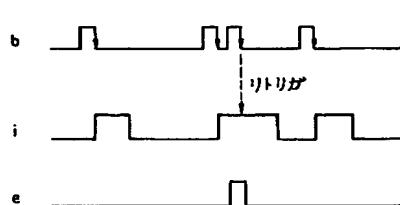


【図4】

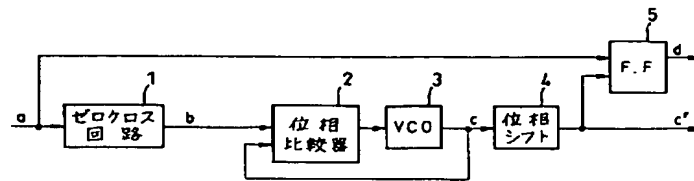
(A)



(B)



【図5】



## 【手続補正書】

【提出日】平成11年5月17日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 入力PCM信号のゼロクロス点を検出してこの検出タイミングに同期した信号を生成するゼロクロス検出回路と、ゼロクロス検出回路の出力を入力とするPLL回路とを含み、前記入力PCM信号の基本周波数成分に同期したクロック信号を抽出するようにしたクロック信号抽出回路であって、前記PLL回路の出力を位相シフトして当該出力が前記ゼロクロス点を挟むパルスとなるよう制御する手段と、このパルスの立上がり及び立下りにおける前記入力PCM信号をサンプリングする手段と、これ等サンプリング出力の各絶対値と設定閾値とを各々比較する手段と、これ等比較結果により少なくとも一方が前記設定閾値より小のときに第一リセットパルス生成する手段と、前記ゼロクロス検出回路によるゼロクロス検出出力をトリガ入力とし時定数を有するリトリガブルモノステーブルマルチバイブレータと、このモノステーブルマルチバイブレータ出力の存在期間前記ゼロクロス検出出力を通過せしめて第二リセットパルスとするゲート手段と、前記第一または第二リセットパルスを通過せしめるオアゲート手段とを含み、このオアゲート手段の出力により前記PLL回路の断制御をなすようにしたことを特徴とするクロック信号抽出回路。

【請求項2】 入力PCM信号のゼロクロス点を検出してこの検出タイミングに同期した信号を生成するゼロクロス検出回路と、ゼロクロス検出回路の出力を入力とし、前記入力PCM信号の基本周波数成分に同期したクロック信号を抽出するPLL回路と、このPLL回路による抽出クロック信号に基づき前記入力PCM信号を復調とする復調回路を含むPCM信号復調回路であって、前記PLL回路の出力を位相シフトして当該出力が前記ゼロクロス点を挟むパルスとなるよう制御する手段と、このパルスの立上がり及び立下りにおける前記入力PCM

M信号をサンプリングする手段と、これ等サンプリング出力の各絶対値と設定閾値とを各々比較する手段と、これ等比較結果により少なくとも一方が前記設定閾値より小のときに第一リセットパルスを生成する手段と、前記ゼロクロス検出回路によるゼロクロス検出出力をトリガ入力とし時定数を有するリトリガブルモノステーブルマルチバイブレータと、このモノステーブルマルチバイブレータ出力の存在期間前記ゼロクロス検出出力を通過せしめて第二リセットパルスとするゲート手段と、前記第一または第二リセットパルスを通過せしめるオアゲート手段とを含み、このオアゲート手段の出力により前記PLL回路の断制御をなすようにしたことを特徴とするPCM信号復調回路。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】

【課題を解決するための手段】本発明によれば、入力PCM信号のゼロクロス点を検出してこの検出タイミングに同期した信号を生成するゼロクロス検出回路と、ゼロクロス検出回路の出力を入力とするPLL回路とを含み、前記入力PCM信号の基本周波数成分に同期したクロック信号を抽出するようにしたクロック信号抽出回路であって、前記PLL回路の出力を位相シフトして当該出力が前記ゼロクロス点を挟むパルスとなるよう制御する手段と、このパルスの立上がり及び立下りにおける前記入力PCM信号をサンプリングする手段と、これ等サンプリング出力の各絶対値と設定閾値とを各々比較する手段と、これ等比較結果により少なくとも一方が前記設定閾値より小のときに第一リセットパルスを生成する手段と、前記ゼロクロス検出回路によるゼロクロス検出出力をトリガ入力とし時定数を有するリトリガブルモノステーブルマルチバイブレータと、このモノステーブルマルチバイブレータ出力の存在期間前記ゼロクロス検出出力を通過せしめて第二リセットパルスとするゲート手段と、前記第一または第二リセットパルスを通過せしめる



オアゲート手段とを含み、このオアゲート手段の出力により前記PLL回路の断制御をなすようにしたことを特徴とするクロック信号抽出回路が得られる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】削除

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】削除

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】削除

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】本発明によれば、入力PCM信号のゼロクロス点を検出してこの検出タイミングに同期した信号を生成するゼロクロス検出回路と、ゼロクロス検出回路の出力を入力とし、前記入力PCM信号の基本周波数成分に同期したクロック信号を抽出するPLL回路と、このPLL回路による抽出クロック信号に基づき前記入力PCM信号を復調とする復調回路とを含むPCM信号復調回路であって、前記PLL回路の出力を位相シフトして当

該出力が前記ゼロクロス点を挟むパルスとなるよう制御する手段と、このパルスの立上がり及び立下りにおける前記入力PCM信号をサンプリングする手段と、これ等サンプリング出力の各絶対値と設定閾値とを各々比較する手段と、これ等比較結果により少なくとも一方が前記設定閾値より小のときに第一リセットパルスを生成する手段と、前記ゼロクロス検出回路によるゼロクロス検出出力をトリガ入力とし時定数を有するリトリガブルモノステーブルマルチバイブレータと、このモノステーブルマルチバイブレータ出力の存在期間前記ゼロクロス検出出力を通過せしめて第二リセットパルスとするゲート手段と、前記第一または第二リセットパルスを通過せしめるオアゲート手段とを含み、このオアゲート手段の出力により前記PLL回路の断制御をなすようにしたことを特徴とするPCM信号復調回路が得られる。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】削除

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】削除

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】削除